

Docket No.: 60188-703

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masayoshi KINOSHITA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 21, 2003	:	Examiner:
	:	
For: TWO-LEVEL SUPPLY VOLTAGE DETECTION CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

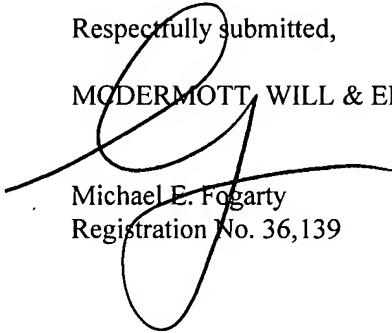
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2002-362875, filed on December 13, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MODERMOTT WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: November 21, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月13日

出 願 番 号

Application Number:

特願2002-362875

[ST.10/C]:

[JP2002-362875]

出 願 人

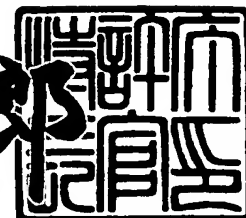
Applicant(s):

松下電器産業株式会社

2003年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040867

【書類名】 特許願

【整理番号】 2037640141

【提出日】 平成14年12月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/00

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 木下 雅善

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 崎山 史朗

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 2 値電源電圧検出回路

【特許請求の範囲】

【請求項 1】 高電圧側電源が接続され、この高電圧側電源から入力された電圧が低電圧側設定値以上の値であるときに、活性化された第 1 の信号を出力する低電圧側電源検出回路と、

前記高電圧側電源が接続され、この高電圧側電源から入力された電圧が、前記低電圧側設定値より大きい値に設定された高電圧側設定値以上の値であるときに、活性化された第 2 の信号を出力する高電圧側電源検出回路とを備えた 2 値電源電圧検出回路において、

前記高電圧側電源検出回路の出力である前記第 2 の信号を受け、前記第 2 の信号が活性化されているときに前記低電圧側電源検出回路の動作状態を非動作状態にする検出動作制御手段と、

前記第 2 の信号が入力され、前記第 2 の信号が活性化されているときに、前記第 1 の信号に対応する信号として、活性化された第 3 の信号を出力する低電圧側電源検出出力固定手段とを備えた

ことを特徴とする 2 値電源電圧検出回路。

【請求項 2】 請求項 1 記載の 2 値電源電圧検出回路において、

低電圧側電源検出出力固定手段は、

前記第 1 の信号及び前記第 2 の信号が入力され、前記第 1 の信号又は前記第 2 の信号のうち何れか一方が活性化されているとき活性化された第 3 の信号を出力する論理回路である

ことを特徴とする 2 値電源電圧検出回路。

【請求項 3】 請求項 1 記載の 2 値電源電圧検出回路において、

低電圧側電源検出出力固定手段は、

前記低電圧側電源検出回路の信号出力側と前記高電圧側電源との間に直列に抵抗と第 1 のスイッチとが挿入され、

前記第 1 のスイッチは前記第 2 の信号を受け、前記第 2 の信号が活性化されているときにのみオンになる

ことを特徴とする 2 値電源電圧検出回路。

【請求項 4】 請求項 1 記載の 2 値電源電圧検出回路において、

前記検出動作制御手段は、

前記高電圧側電源と前記低電圧側電源検出回路との間に挿入された第 2 のスイッチであり、

前記第 2 のスイッチは前記第 2 の信号を受け、前記第 2 の信号が非活性状態のときにのみオンになる

ことを特徴とする 2 値電源電圧検出回路。

【請求項 5】 請求項 1 記載の 2 値電源電圧検出回路において、

前記検出動作制御手段は、

低電圧側電源と前記低電圧側電源検出回路との間に挿入された第 2 のスイッチであり、

前記第 2 のスイッチは前記第 2 の信号による制御を受け、前記第 2 の信号が非活性状態のときにのみオンになる

ことを特徴とする 2 値電源電圧検出回路。

【請求項 6】 請求項 1 記載の 2 値電源電圧検出回路において、

前記低電圧側電源検出回路は、

前記高電圧側電源の電圧にかかわらず定められた電圧を出力する基準電圧回路と、

前記高電圧側電源の電圧を分圧した電圧を出力する低電圧側電源分圧回路と、

前記基準電圧回路の出力信号と前記低電圧側電源分圧回路の分圧点からの出力信号とが入力され、前記低電圧側電源分圧回路の分圧点からの出力信号レベルが前記基準電圧回路の出力信号レベルを上回ったときにのみ活性化された第 1 の信号を出力する低電圧側比較回路とを備え、

前記高電圧側電源検出回路は、

前記低電圧側電源分圧回路の出力電圧よりも小さい電圧を出力する分圧比で前記高電圧側電源電圧を分圧した高電圧側電源分圧回路と、

前記基準電圧回路の出力信号と前記高電圧側電源分圧回路の分圧点からの出力信号とが入力され、前記高電圧側電源分圧回路の分圧点からの出力信号レベルが

前記基準電圧回路の出力信号レベルを上回ったときにのみ活性化された第 2 の信号を出力する高電圧側比較回路とを備え、

前記検出動作制御手段は、

前記第 2 の信号が活性化されたときに、前記低電圧側電源分圧回路と前記低電圧側比較回路との両方又は何れか一方の動作状態を非動作状態に変更する

ことを特徴とする 2 値電源電圧検出回路。

【請求項 7】 請求項 6 記載の 2 値電源電圧検出回路において、

前記検出動作制御手段は、前記高電圧側電源と前記低電圧側電源検出回路との間に挿入された第 2 のスイッチであり、

前記第 2 のスイッチは、前記第 2 の信号を受け、前記第 2 の信号が非活性状態のときにのみオンになる

ことを特徴とする 2 値電源電圧検出回路。

【請求項 8】 請求項 6 記載の 2 値電源電圧検出回路において、

前記検出動作制御手段は、前記低電圧側電源と前記低電圧側電源検出回路との間に挿入された第 2 のスイッチであり、

前記第 2 のスイッチは、前記第 2 の信号を受け、前記第 2 の信号が非活性状態のときにのみオンになる

ことを特徴とする 2 値電源電圧検出回路。

【請求項 9】 請求項 6 記載の 2 値電源電圧検出回路において、

前記低電圧側電源分圧回路は、前記高電圧側電源と前記低電圧側電源との間に設けられた第 1 の抵抗群で構成され、

前記高電圧側電源分圧回路は、前記高電圧側電源と前記低電圧側電源との間に設けられた第 2 の抵抗群で構成された

ことを特徴とする 2 値電源電圧検出回路。

【請求項 10】 請求項 9 記載の 2 値電源電圧検出回路において、

前記第 1 の抵抗群は、

前記第 2 の抵抗群よりトータル抵抗値が小さい

ことを特徴とする 2 値電源電圧検出回路。

【請求項 11】 請求項 9 記載の 2 値電源電圧検出回路において、

前記検出動作制御手段は、前記低電圧側電源分圧回路における第 1 の抵抗群と前記低電圧側電源との間に挿入された第 3 のスイッチであり、

前記第 3 のスイッチは、前記第 2 の信号を受けて、前記第 2 の信号が非活性状態のときにのみオンする手段である

ことを特徴とする 2 値電源電圧検出回路。

【請求項 1 2】 請求項 1 1 記載の 2 値電源電圧検出回路において、前記第 1 の抵抗群は、

前記第 2 の抵抗群よりトータル抵抗値が小さい

ことを特徴とする 2 値電源電圧検出回路。

【請求項 1 3】 請求項 1 1 記載の 2 値電源電圧検出回路において、前記第 3 のスイッチは、

NMOS トランジスタで構成されている

ことを特徴とする 2 値電源電圧検出回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、一つの電源に対して 2 値の電源電圧値を検出する 2 値電源電圧検出回路に関する。

【0 0 0 2】

【従来の技術】

従来では、例えば、電流容量が小さく、一定電圧を供給することが難しい太陽電池を電源電圧供給手段として用いた演算処理装置において、演算処理装置の誤動作を防止するために、2 つの異なる電圧を検出する電源電圧検出回路を 2 つ搭載し、たとえ電源電圧が変動しても演算処理装置に誤動作が生じないように監視を行い、誤動作が発生するような電圧にまで電源電圧が低下した場合には演算処理装置の動作を停止させてスリープ状態にし、その電圧が回復したときに動作状態に切り換えて動作を再開させるという制御をしていた。また、演算処理を行わない状態が発生するような演算処理装置に対しては、その状態に応じて演算処理装置を動作状態とスリープ状態とに切り換えることにより、LSI 全体の消費電

流の削減を図っていた。上述の技術に関しては、例えば、特許文献 1 に記載されている。

【0003】

【特許文献 1】

特開昭 5 8 - 1 6 8 1 2 2 号公報

【0004】

【発明が解決しようとする課題】

しかしながら、前記の 2 つの電源電圧検出回路は常に電源電圧をモニターしており、2 つの電源電圧検出回路自体の消費電流は常時発生する。また、電源電圧検出回路の検出結果によって演算処理装置をスリープ状態にして消費電流を削減した場合には、L S I 全体の消費電流が小さくなるので、L S I 全体の消費電流に対して電源電圧検出回路の消費電流の占める割合が高くなり、電源電圧検出回路の消費電流が無視できなくなってくる。

【0005】

本発明は、前記問題を解決するものであり、その目的は、一つの電源に対して 2 つの電源電圧検出回路を搭載した 2 値電源電圧検出回路において、その自己消費電流を削減することにある。

【0006】

【課題を解決するための手段】

本発明は次の点に着目してなされたものである。以下、具体的に説明する。1 つの電源に対して 2 つの電源電圧検出回路を搭載する 2 値電源電圧検出回路を図 1 2 に示す。図 1 2 において、1 0 は低電圧側電源検出回路、1 1 は高電圧側電源検出回路、1 0 0 は電圧値 V D D を有する電源であり、O U T L は低電圧側電源検出回路 1 0 から出力される低電圧側検出信号、O U T H は高電圧側電源検出回路 1 1 から出力される高電圧側検出信号である。

【0007】

また、電源 1 0 0 の電圧値 V D D に対する低電圧側検出信号 O U T L 又は高電圧側検出信号 O U T H の関係を図 1 3 に示す。図 1 3 において、破線 V O U T L は電源 1 0 0 の電圧変化に対する低電圧側検出信号 O U T L の変化を表し、実線

VOUTHは電源100の電圧変化に対する高電圧側検出信号OUTHの変化を表す。電源100の電圧値VDDが増加すると、最初に、電源100の電圧VDDが前記低電圧側電源検出回路10の有する予め定められた設定値VREFLと等しくなったとき、低電圧側検出信号OUTLがグランド電位から電源100の電位VDD（このときは電位VREFL）に活性化され、更に、電源100の電圧VDDが増加して前記高電圧側電源検出回路11の有する予め定められた設定値VREFHと等しくなったとき、高電圧側検出信号OUTHがグランド電位から電源100の電位VDD（このときは電位VREFH）に活性化される。ここで、高電圧側検出信号OUTHが電源100の電位VDDに活性化されているときには低電圧側検出信号OUTLは必ず電源100の電位VDDに活性化されていることがわかる。

【0008】

従って、本発明では、前記の目的を達成するために、高電圧側検出信号OUTHが活性化されているときに、低電圧側検出信号OUTLを電源100の電位VDDに強制的に固定して、その活性化を維持しながら、低電圧側電源検出回路10の動作を停止させて、低電圧側電源検出回路10の消費電流を削減する。

【0009】

すなわち、請求項1記載の発明は、高電圧側電源が接続され、この高電圧側電源から入力された電圧が低電圧側設定値以上の値であるときに、活性化された第1の信号を出力する低電圧側電源検出回路と、前記高電圧側電源が接続され、この高電圧側電源から入力された電圧が、前記低電圧側設定値より大きい値に設定された高電圧側設定値以上の値であるときに、活性化された第2の信号を出力する高電圧側電源検出回路とを備えた2値電源電圧検出回路において、前記高電圧側電源検出回路の出力である前記第2の信号を受け、前記第2の信号が活性化されているときに前記低電圧側電源検出回路の動作状態を非動作状態にする検出動作制御手段と、前記第2の信号が入力され、前記第2の信号が活性化されているときに、前記第1の信号に対応する信号として、活性化された第3の信号を出力する低電圧側電源検出出力固定手段とを備えたことを特徴とする。

【0010】

請求項 2 記載の発明は、請求項 1 記載の 2 値電源電圧検出回路において、低電圧側電源検出出力固定手段は、前記第 1 の信号及び前記第 2 の信号が入力され、前記第 1 の信号又は前記第 2 の信号のうち何れか一方が活性化されているとき活性化された第 3 の信号を出力する論理回路であることを特徴とする。

【 0 0 1 1 】

請求項 3 記載の発明は、請求項 1 記載の 2 値電源電圧検出回路において、低電圧側電源検出出力固定手段は、前記低電圧側電源検出回路の信号出力側と前記高電圧側電源との間に直列に抵抗と第 1 のスイッチとが挿入され、前記第 1 のスイッチは前記第 2 の信号を受け、前記第 2 の信号が活性化されているときにのみオンになることを特徴とする。

【 0 0 1 2 】

請求項 4 記載の発明は、請求項 1 記載の 2 値電源電圧検出回路において、前記検出動作制御手段は、前記高電圧側電源と前記低電圧側電源検出回路との間に挿入された第 2 のスイッチであり、前記第 2 のスイッチは前記第 2 の信号を受け、前記第 2 の信号が非活性状態のときにのみオンになることを特徴とする。

【 0 0 1 3 】

請求項 5 記載の発明は、請求項 1 記載の 2 値電源電圧検出回路において、前記検出動作制御手段は、低電圧側電源と前記低電圧側電源検出回路との間に挿入された第 2 のスイッチであり、前記第 2 のスイッチは前記第 2 の信号による制御を受け、前記第 2 の信号が非活性状態のときにのみオンになることを特徴とする。

【 0 0 1 4 】

請求項 6 記載の発明は、請求項 1 記載の 2 値電源電圧検出回路において、前記低電圧側電源検出回路は、前記高電圧側電源の電圧にかかわらず定められた電圧を出力する基準電圧回路と、前記高電圧側電源の電圧を分圧した電圧を出力する低電圧側電源分圧回路と、前記基準電圧回路の出力信号と前記低電圧側電源分圧回路の分圧点からの出力信号とが入力され、前記低電圧側電源分圧回路の分圧点からの出力信号レベルが前記基準電圧回路の出力信号レベルを上回ったときにのみ活性化された第 1 の信号を出力する低電圧側比較回路とを備え、前記高電圧側電源検出回路は、前記低電圧側電源分圧回路の出力電圧よりも小さい電圧を出力

する分圧比で前記高電圧側電源電圧を分圧した高電圧側電源分圧回路と、前記基準電圧回路の出力信号と前記高電圧側電源分圧回路の分圧点からの出力信号とが入力され、前記高電圧側電源分圧回路の分圧点からの出力信号レベルが前記基準電圧回路の出力信号レベルを上回ったときにのみ活性化された第2の信号を出力する高電圧側比較回路とを備え、前記検出動作制御手段は、前記第2の信号が活性化されたときに、前記低電圧側電源分圧回路と前記低電圧側比較回路との両方又は何れか一方の動作状態を非動作状態に変更することを特徴とする。

【0015】

請求項7記載の発明は、請求項6記載の2値電源電圧検出回路において、前記検出動作制御手段は、前記高電圧側電源と前記低電圧側電源検出回路との間に挿入された第2のスイッチであり、前記第2のスイッチは、前記第2の信号を受け、前記第2の信号が非活性状態のときにのみオンになることを特徴とする。

【0016】

請求項8記載の発明は、請求項6記載の2値電源電圧検出回路において、前記検出動作制御手段は、前記低電圧側電源と前記低電圧側電源検出回路との間に挿入された第2のスイッチであり、前記第2のスイッチは、前記第2の信号を受け、前記第2の信号が非活性状態のときにのみオンになることを特徴とする。

【0017】

請求項9記載の発明は、請求項6記載の2値電源電圧検出回路において、前記低電圧側電源分圧回路は、前記高電圧側電源と前記低電圧側電源との間に設けられた第1の抵抗群で構成され、前記高電圧側電源分圧回路は、前記高電圧側電源と前記低電圧側電源との間に設けられた第2の抵抗群で構成されたことを特徴とする。

【0018】

請求項10記載の発明は、請求項9記載の2値電源電圧検出回路において、前記第1の抵抗群は、前記第2の抵抗群よりトータル抵抗値が小さいことを特徴とする。

【0019】

請求項11記載の発明は、請求項9記載の2値電源電圧検出回路において、前

記検出動作制御手段は、前記低電圧側電源分圧回路における第 1 の抵抗群と前記低電圧側電源との間に挿入された第 3 のスイッチであり、前記第 3 のスイッチは、前記第 2 の信号を受けて、前記第 2 の信号が非活性状態のときにのみオンする手段であることを特徴とする。

【 0 0 2 0 】

請求項 1 2 記載の発明は、請求項 1 1 記載の 2 値電源電圧検出回路において、前記第 1 の抵抗群は、前記第 2 の抵抗群よりトータル抵抗値が小さいことを特徴とする。

【 0 0 2 1 】

請求項 1 3 記載の発明は、請求項 1 1 記載の 2 値電源電圧検出回路において、前記第 3 のスイッチは、NMOS トランジスタで構成されていることを特徴とする。

【 0 0 2 2 】

以上により、請求項 1 ～ 8 記載の発明では、1 電源に対して 2 値を検出する 2 値電源電圧検出回路において、高電位側の電源電圧を検出する高電圧側電源検出回路の出力信号が活性化されたときには、その活性化信号に基づいて、低電圧側電源検出出力固定手段が低電圧側電源検出回路からの第 1 の信号に代えて第 3 の信号を出力すると共に、検出動作制御手段が低電圧側電源検出回路の電源検出動作を停止させるので、2 値電源電圧検出回路の消費電流を削減することが可能となる。

【 0 0 2 3 】

また、請求項 1 0 及び 1 2 記載の発明では、第 2 の信号が活性化されたときに低電圧側電源分圧回路に流れる電流が第 2 のスイッチの制御によりカットされるので、電力消費に余裕が生じた低電圧側電源分圧回路の第 1 の抵抗群には、常時動作を行う高電圧側電源分圧回路の第 2 の抵抗群に比べて小さいトータル抵抗値により構成することができる。従って、抵抗素子のレイアウト面積が削減できるので、2 値電源電圧検出回路全体のレイアウト面積を小さくすることができる。

【 0 0 2 4 】

請求項 1 1 記載の発明では、第 3 のスイッチがオフのときに、低電圧側電源分

圧回路における第 1 の抵抗群の分圧点が高電圧側電源の電圧にプルアップされるので、請求項 1 ～ 8 において示したように低電圧側電源検出回路及び高電圧側電源検出回路とは別に低電圧側電源検出出力固定手段を備えずとも、前記低電圧側電源検出回路内に有する第 1 の抵抗群の一部が低電圧側電源検出出力固定手段としても機能して、2 値電源電圧検出回路の第 1 の信号を HIGH レベルに固定することができるので、2 値電源電圧検出回路のより一層の小面積化及び低消費電力化を実現することができる。

【 0 0 2 5 】

請求項 1 3 記載の発明では、第 3 のスイッチを NMOS トランジスタで構成すること、即ち、ソースをグランドに接続することにより、ゲートーソース間電圧が大きくとれるので、第 3 のスイッチのドレインーソース間抵抗が小さくなり、検出電圧の誤差を小さくすることができる。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

【 0 0 2 7 】

(第 1 の実施の形態)

図 1 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 1 及び 2 に対応している。図 1 の 2 値電源電圧検出回路において、1 0 は低電圧側電源検出回路、1 1 は高電圧側電源検出回路、3 0 は出力固定回路（低電圧側電源検出出力固定手段）、4 0 は動作制御回路（検出動作制御手段）、5 0 は低電圧側電源検出回路 1 0 の出力信号である低電圧側検出信号、1 0 0 は電圧値 V D D の電源（高電圧側電源）であり、O U T H は高電圧側電源検出回路 1 1 の出力信号である高電圧側検出信号（第 2 の信号）、O U T L は出力固定回路 3 0 から出力される低電圧側検出信号（第 3 の信号）である。

【 0 0 2 8 】

本 2 値電源電圧検出回路は、前記低電圧側電源検出回路 1 0 と、前記高電圧側電源検出回路 1 1 と、前記出力固定回路 3 0 と、前記動作制御回路 4 0 とから構成される。また、本実施の形態における出力固定回路 3 0 は O R 論理回路 2 0 に

より構成されている。

【 0 0 2 9 】

前記低電圧側電源検出回路 1 0 は、予め決められた低電圧側設定値 V_{REFL} を有し、この低電圧側設定値 V_{REFL} と前記電源 1 0 0 の電圧値 V_{DD} との大小比較を行い、電源 1 0 0 の電圧値 V_{DD} が低電圧側設定値 V_{REFL} 以上となるとき、活性化された低電圧側検出信号（第 1 の信号）5 0 を出力するものである。また、高電圧側電源検出回路 1 1 も同様に、前記電源 1 0 0 の電圧値 V_{DD} が、高電圧側電源検出回路 1 1 の有する予め決められた高電圧側設定値 V_{REFH} を超えるとき、活性化された高電圧側検出信号 $OUTH$ を出力する。

【 0 0 3 0 】

前記低電圧側電源検出回路 1 0 には、前記高電圧側電源検出回路 1 1 の高電圧側検出信号 $OUTH$ により制御される動作制御回路 4 0 が接続されている。この動作制御回路 4 0 は、前記高電圧側電源検出回路 1 1 の高電圧側検出信号が活性状態であるときには低電圧側電源検出回路 1 0 の動作を停止させて、その消費電流をカットするように働き、逆に、非活性状態であるときには前記低電圧側電源検出回路 1 0 の検出動作を妨げない。

【 0 0 3 1 】

そして、その高電圧側検出信号 $OUTH$ は前記低電圧側電源検出回路 1 0 の出力信号 5 0 と共に、前記 OR 論理回路 2 0 にも入力され、 OR 論理に基づいた低電圧側検出信号 $OUTL$ を出力する。つまり、この OR 論理回路 2 0 は、入力信号に少なくとも 1 つの活性信号（電源 1 0 0 の電位 V_{DD} を持つ信号を意味する）が入力された場合、出力を電源 1 0 0 の電圧 V_{DD} に固定、すなわち、活性信号（低電圧側検出信号 $OUTL$ ）を出力する。

【 0 0 3 2 】

次に、本実施の形態における 2 値電源電圧検出回路の動作を説明する。ここでは、電源 1 0 0 の電圧値 V_{DD} と前記低電圧側設定値 V_{REFL} 及び前記高電圧側設定値 V_{REFH} との大小関係により、場合分けを行う。

【 0 0 3 3 】

先ず、前記電源 1 0 0 の電圧値 V_{DD} が前記低電圧側設定値 V_{REFL} より低

い場合には、前記高電圧側電源検出回路 1 1 は電源 1 0 0 の電圧値 V_{DD} が高電圧側設定値 V_{REFH} よりも低いことを検知して非活性信号（グランド電位の信号）を出力する。従って、前記低電圧側電源検出回路 1 0 の動作制御回路 4 0 は低電圧側電源検出回路 1 0 の動作を妨げないように働き、その低電圧側電源検出回路 1 0 も電源 1 0 0 の電圧値 V_{DD} が設定電圧 V_{REFL} より低いことを検知して非活性信号を出力する。これにより、OR 論理回路 2 0 には非活性信号のみが入力されるので、低電圧側検出信号 OUT_L は非活性信号となる。このとき、2 値電源電圧検出回路の消費電流は低電圧側電源検出回路 1 0 と高電圧側電源検出回路 1 1 との両回路で消費されている。

【 0 0 3 4 】

次に、前記電源 1 0 0 の電圧値 V_{DD} が前記低電圧側設定値 V_{REFL} より高く且つ前記高電圧側設定値 V_{REFH} より低い場合には、高電圧側電源検出回路 1 1 は電源 1 0 0 が高電圧側設定値 V_{REFH} より低いことを検知して非活性信号を出力する。従って、低電圧側電源検出回路 1 0 の動作制御回路 4 0 は低電圧側電源検出回路 1 0 を動作させるように働き、その低電圧側電源検出回路 1 0 は電源 1 0 0 の電圧値 V_{DD} が低電圧側設定値 V_{REFL} より高いことを検知して活性信号を出力する。これにより、OR 論理回路 2 0 には非活性信号と活性信号とが入力されるので、低電圧側検出信号 OUT_L は活性信号となる。このときも、2 値電源電圧検出回路の消費電流は低電圧側電源検出回路 1 0 と高電圧側電源検出回路 1 1 との両回路で消費されている。

【 0 0 3 5 】

更に、電源 1 0 0 の電圧値 V_{DD} が高電圧側設定値 V_{REFH} より高い場合には、高電圧側電源検出回路 1 1 は活性信号を出力する。従って、活性信号の入力を受けた低電圧側電源検出回路 1 0 の動作制御回路 4 0 は低電圧側電源検出回路 1 0 の動作を停止させるように働き、その出力信号は不定となる。しかしながら、OR 論理回路 2 0 には高電圧側電源検出回路 1 1 から活性信号が入力されるので、低電圧側検出信号 OUT_L は活性信号となる。このとき、低電圧側電源検出回路 1 0 の動作が停止され、消費電流は高電圧側電源検出回路 1 1 でのみ消費されるので、2 値電源電圧検出回路全体の消費電流は効果的に削減される。例えば

、2 値電源電圧検出回路の出力信号OUTL、OUTHが共に活性化されている場合において演算処理装置を始めとする回路を動作させるシステムでは、システムが動作しているときの消費電流は高電圧側電源検出回路11の消費電流のみとなるので、消費電流が有効に削減される。

【0036】

(第2の実施の形態)

次に、本発明の第2の実施の形態を説明する。

【0037】

図2は本実施の形態における2 値電源電圧検出回路の回路図であり、請求項2及び4に対応している。本実施の形態は、第1の実施の形態に示した図1において、動作制御回路40が、具体的に、電源100と低電圧側電源検出回路10との間に挿入されたスイッチ21（第2のスイッチ）として構成されている。このスイッチ21は高電圧側検出信号OUTHを受け、その高電圧側検出信号OUTHが非活性状態のときオンし、逆に、活性状態のときにはオフする。尚、以下の実施の形態においては、前記第1の実施の形態と同様の機能を有する構成要素については同一の符号を付して、その説明を省略する。

【0038】

次に、本実施の形態における2 値電源電圧検出回路の動作を説明する。ここでも、電源100の電圧値VDDと前記低電圧側設定値VREFL及び前記高電圧側設定値VREFHとの大小関係により、場合分けを行う。

【0039】

先ず、電源100の電圧値VDDが高電圧側設定値VREFHより低い場合には、高電圧側検出信号OUTHが非活性状態であるためにスイッチ21がオンし、第1の実施の形態で説明したのと同様に2 値電源電圧検出回路が動作する。

【0040】

次に、電源100の電圧値VDDが高電圧側設定値VREFHより高くなると、高電圧側検出信号OUTHが活性化され、スイッチ21がオフされる。これにより、低電圧側電源検出回路10の消費電流はカットされる。また、OR論理回路20には高電圧側電源検出回路11から活性信号が入力されているため、低電

圧側検出信号OUTLは活性状態となる。従って、2値電源電圧検出回路の機能を維持しながら、消費電流は高電圧側電源検出回路11の消費電流のみとなり、低電圧側電源検出回路10の消費電流分が削減される。

【0041】

(第3の実施の形態)

続いて、本発明の第3の実施の形態を説明する。

【0042】

図3は本実施の形態における2値電源電圧検出回路の回路図であり、請求項2及び5に対応している。本実施の形態は第1の実施の形態に示した図1において動作制御回路40が、具体的に、低電圧側電源検出回路10のグランド端子とグランド電源（低電圧側電源）との間に挿入されたスイッチ21による構成として示される。このスイッチ21は第2の実施の形態において示したのと同様に、高電圧側検出信号OUTHを受け、その高電圧側検出信号OUTHが非活性状態のときのみオンする。

【0043】

次に、本実施の形態における2値電源電圧検出回路の動作を説明する。ここでは、電源100の電圧値VDDと前記低電圧側設定値VREFL及び前記高電圧側設定値VREFHとの大小関係により、場合分けを行う。

【0044】

まず、電源100の電圧値VDDが高電圧側設定値VREFHより低い場合には高電圧側検出信号OUTHが非活性状態であるためにスイッチ21がオンし、第1の実施の形態で説明したのと同様に2値電源電圧検出回路が動作する。従って、低電圧側電源検出回路10の動作は規制されず、低電圧側電源検出回路10及び高電圧側電源検出回路11の両回路において、電流が消費される。

【0045】

次に、電源100の電圧値VDDが高電圧側設定値VREFHより高くなると、高電圧側検出信号OUTHが活性化され、スイッチ21がオフされる。これにより、低電圧側電源検出回路10の消費電流はカットされる。また、OR論理回路20には高電圧側電源検出回路11から活性信号が入力されているので、低電

圧側検出信号OUTLは活性状態となる。従って、2値電源電圧検出回路の機能を維持しながらも、消費電流は高電圧側電源検出回路11の消費電流のみとなり、低電圧側電源検出回路10の消費電流分が削減される。

【0046】

(第4の実施の形態)

更に、本発明の第4の実施の形態を説明する。

【0047】

図4は本実施の形態における2値電源電圧検出回路の回路図であり、請求項1及び3に対応している。本実施の形態では第1の実施の形態に示した図1においてOR論理回路20により構成されていた出力固定回路30が、電源100と低電圧側電源検出回路10の信号出力側との間に直列に挿入した抵抗とスイッチ23(第1のスイッチ)とにより構成される。このスイッチ23は、前記高電圧側検出信号OUTHを受け、その高電圧側検出信号OUTHが活性状態のときオンし、非活性状態のときにはオフする。従って、高電圧側検出信号OUTHが活性状態のとき、低電圧側検出信号OUTLの電位はプルアップにより電源100の電圧VDDへ固定される。

【0048】

また、低電圧側電源検出回路10と高電圧側電源検出回路11との構成及び動作は第1の実施の形態と同様であるので、省略する。

【0049】

従って、電源100の電圧値VDDが高電圧側設定値VREFHよりも低い場合の回路駆動電流は低電圧側電源検出回路10及び高電圧側電源検出回路11の両回路で消費され、一方、電源100の電圧値VDDが高電圧側設定値VREFHより高い場合には、高電圧側検出信号OUTHによる動作制御回路40の制御により低電圧側電源検出回路10の動作は停止され、消費電流は高電圧側電源検出回路11の消費電流のみとなる。

【0050】

(第5の実施の形態)

次に、本発明の第5の実施の形態を説明する。

【 0 0 5 1 】

図 5 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 3 及び 4 に対応している。本実施の形態では第 4 の実施の形態に示した図 4 における動作制御回路 4 0 が、具体的に、電源 1 0 0 と低電圧側電源検出回路 1 0 との間に挿入したスイッチ 2 1 により構成される。このスイッチ 2 1 は、前記第 2 及び 3 の実施の形態における説明と同様に、高電圧側電源検出信号 O U T H を受け、その高電圧側電源検出信号 O U T H が活性状態のときにのみオフする。

【 0 0 5 2 】

次に、本実施の形態における 2 値電源電圧検出回路の動作を説明する。ここで、電源 1 0 0 の電圧値 V D D と前記低電圧側設定値 V R E F L 及び前記高電圧側設定値 V R E F H との大小関係により、場合分けを行う。

【 0 0 5 3 】

先ず、電源 1 0 0 の電圧値 V D D が高電圧側設定値 V R E F H より低い場合には高電圧側検出信号 O U T H が非活性状態であるためにスイッチ 2 1 がオンし、第 4 の実施の形態における説明と同様に 2 値電源電圧検出回路が動作する。すなわち、低電圧側電源検出回路 1 0 の動作は規制されず、低電圧側電源検出回路 1 0 及び高電圧側電源検出回路 1 1 の両回路において電流が消費される。

【 0 0 5 4 】

次に、電源 1 0 0 の電圧値 V D D が高電圧側設定値 V R E F H より高くなると高電圧側検出信号 O U T H が活性化され、スイッチ 2 1 がオフされる。これにより、低電圧側電源検出回路 1 0 の消費電流はカットされる。また、高電圧側電源検出回路 1 1 から出力される高電圧側検出信号 O U T H が活性化されているので、出力固定回路 3 0 におけるスイッチ 2 3 はオンし、低電圧側検出信号 O U T L の電位は電源 1 0 0 の電圧 V D D にプルアップされて活性状態となる。従って、2 値電源電圧検出回路の機能は維持しながらも、消費電流は高電圧側電源検出回路 1 1 の消費電流のみとなり、低電圧側電源検出回路 1 0 の消費電流分が削減される。

【 0 0 5 5 】

(第 6 の実施の形態)

更に、本発明の第 6 の実施の形態を説明する。

【 0 0 5 6 】

図 6 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 3 及び 5 に対応している。本実施の形態では第 4 の実施の形態に示した図 4 における動作制御回路 4 0 を、具体的に、低電圧側電源検出回路 1 0 のグランド端子とグランド電源との間に挿入されたスイッチ 2 1 による構成として示す。このスイッチ 2 1 は、前記第 2、3 及び 5 の実施の形態において示したのと同様に、高電圧側検出信号が活性状態のときにのみオフする。

【 0 0 5 7 】

次に、本実施の形態における 2 値電源電圧検出回路の動作を説明する。ここで、電源 1 0 0 の電圧値 V_{DD} と前記低電圧側設定値 V_{REFL} 及び前記高電圧側設定値 V_{REFH} との大小関係により、場合分けを行う。

【 0 0 5 8 】

先ず、電源 1 0 0 の電圧値 V_{DD} が高電圧側設定値 V_{REFH} より低い場合には高電圧側検出信号 $OUTH$ が非活性状態であるためにスイッチ 2 1 がオンし、第 4 の実施の形態における説明と同様に 2 値電源電圧検出回路が動作する。従って、低電圧側電源検出回路 1 0 の動作は規制されず、低電圧側電源検出回路 1 0 及び高電圧側電源検出回路 1 1 の両回路において電流が消費される。

【 0 0 5 9 】

次に、電源 1 0 0 の電圧値 V_{DD} が高電圧側設定値 V_{REFH} より高くなると高電圧側検出信号 $OUTH$ が活性化され、スイッチ 2 1 がオフされる。これにより、低電圧側電源検出回路 1 0 の消費電流はカットされる。また、高電圧側電源検出回路 1 1 から出力される高電圧側検出信号 $OUTH$ が活性化されているので、スイッチ 2 3 はオンし、低電圧側検出信号 $OUTL$ の電位は電源 1 0 0 の電圧 V_{DD} にプルアップされて活性状態となる。従って、2 値電源電圧検出回路の機能は維持しながらも、消費電流は高電圧側電源検出回路 1 1 の消費電流のみとなり、低電圧側電源検出回路 1 0 の消費電流分が削減される。

【 0 0 6 0 】

(第 7 の実施の形態)

続いて、本発明の第 7 の実施の形態を説明する。

【 0 0 6 1 】

図 7 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 2、6 及び 9 に対応している。

【 0 0 6 2 】

本実施の形態では、第 1 の実施の形態で示した低電圧側電源検出回路 1 0 が具体的に、電源 1 0 0 とグランド電源との間の電圧を分圧する低電圧側電源分圧回路 1 3（低電圧側電源分圧回路）と、低電圧側比較回路 1 5（低電圧側比較回路）と、基準電圧回路 1 2 とで構成される。同様に、高電圧側電源検出回路 1 1 も、高電圧側電源分圧回路 1 4（高電圧側電源分圧回路）と、高電圧側比較回路 1 6（高電圧側比較回路）と、前記基準電圧回路 1 2 とで構成されている。前記低電圧側電源検出回路 1 0 においては電源 1 0 0 と低電圧側電源分圧回路 1 3 との間及び電源 1 0 0 と低電圧側比較回路 1 5 との間に動作制御回路 4 0 が配置されている。

【 0 0 6 3 】

前記基準電圧回路 1 2 は、電源 1 0 0 の電圧 V_{DD} に関わらず一定の基準電圧 V_{REF} を出力するものであって、前記低電圧側電源検出回路 1 0 と前記高電圧側検出信号 1 1 とで共用されており、その出力である基準電圧 V_{REF} は前記低電圧側電源検出回路 1 0 と前記高電圧側電源検出回路 1 1 とに分配して入力される。

【 0 0 6 4 】

前記低電圧側電源分圧回路 1 3 は、2 つの抵抗 1 3 a、1 3 c を有し、これらの抵抗で高電圧側電源 1 0 0 の電圧と接地電位との電位差を分圧し、その分圧点 1 3 b から出力信号 V_{DL} を出力する。前記高電圧側電源分圧回路 1 4 も同様であり、図 7 に示すように 2 つの抵抗 1 4 a、1 4 c 及び分圧点 1 4 b を有し、その分圧点 1 4 b から出力信号 V_{DH} を出力する。ここで、電源 1 0 0 の電圧 V_{DD} が同一のとき、前記高電圧側電源分圧回路 1 4 の分圧点 1 4 b の電圧（出力電圧）は、低電圧側電源分圧回路 1 3 の分圧点 1 3 b の電圧（出力電圧）よりも小さくなるように設定される。そして、電源 1 0 0 の電圧 V_{DD} が増加して、予め

決められた低電圧側設定値 V_{REFL} と等しくなったときに、出力信号 V_{DL} が基準電圧 V_{REF} を上回るように抵抗を用いて分圧される。同様に、前記高電圧側電源分圧回路14は、電源100の電圧 V_{DD} が増加して、予め決められた高電圧側設定値 V_{REFH} と等しくなったときに、出力信号 V_{DH} が基準電圧 V_{REF} を上回るように抵抗を用いて分圧される。

【0065】

そして、低電圧側電源検出回路10及び高電圧側電源検出回路11のそれぞれが有する低電圧側及び高電圧側の比較回路15、16により、前記基準電圧 V_{REF} と電源分圧回路13、14のそれぞれの分圧点13b、14bからの出力信号(V_{DL} 、 V_{DH})との大小を比較し、基準電圧 V_{REF} よりも出力信号(V_{DL} 、 V_{DH})の方が大きい場合には低電圧側及び高電圧側の比較回路15、16から活性信号を出力し、その逆の場合には非活性信号を出力する。すなわち、これらの低電圧側及び高電圧側の比較回路15、16の出力信号はそのまま低電圧側電源検出回路10及び高電圧側電源検出回路11の出力信号となる。

【0066】

また、前記動作制御回路40は、高電圧側検出信号 $OUTH$ を受け、その高電圧側検出信号 $OUTH$ が活性化されたとき、電源100から前記低電圧側電源分圧回路13及び低電圧低電圧側比較回路15への電流供給を停止させる。

【0067】

さらに、前記低電圧側比較回路15及び高電圧側比較回路16のそれぞれの出力は、前記出力固定回路30を構成するOR論理回路20へ入力され、OR論理に基づいた低電圧側検出信号 $OUTL$ を出力する。

【0068】

次に、本実施の形態における2値電源電圧検出回路の動作を説明する。ここでも、電源100の電圧値 V_{DD} と前記低電圧側設定値 V_{REFL} 及び前記高電圧側設定値 V_{REFH} との大小関係により、場合分けを行う。

【0069】

先ず、電源100の電圧値 V_{DD} が低電圧側設定値 V_{REFL} より低い場合には、 $V_{DH} < V_{REF}$ となり、高電圧側比較回路16によって高電圧側検出信号

OUTHは非活性状態となる。このとき、動作制御回路40は低電圧側電源分圧回路13及び低電圧側比較回路15への電源供給を許容して、これらの回路の動作を許容する。この状態では、低電圧側電源分圧回路13は信号VDLを出力し、また、 $VDL < VREF$ であるために低電圧側比較回路15は非活性信号を出力する。これにより、OR論理回路20には、非活性信号のみが入力されるので、低電圧側検出信号OUTLは非活性状態となる。このとき、2値電源電圧検出回路では、基準電圧回路12、2つの電源分圧回路13、14、及び2つの比較回路15、16の回路で電流が消費されている。

【0070】

次に、電源100の電圧値VDDが低電圧側設定値VREFLより高く且つ高電圧側設定値VREFHより低い場合にも、 $VDH < VREF$ となるので、高電圧側比較回路16によって高電圧側検出信号OUTHは非活性状態となる。このとき、動作制御回路40は、低電圧側電源分圧回路13と低電圧側比較回路15への電源供給を許容して、これらの動作を許容するので、低電圧側電源分圧回路13は信号VDLを出力し、また、 $VDL > VREF$ であるために低電圧側比較回路15は活性信号を出力する。OR論理回路20には、低電圧側比較回路15から活性信号が入力されるため、低電圧側検出信号OUTLは活性状態となる。このときも、2値電源電圧検出回路では、基準電圧回路12、2つの電源分圧回路13、14、及び2つの比較回路15、16において電流が消費されている。

【0071】

更に、電源100の電圧VDDが高電圧側設定値VREFHよりも高い場合は、 $VDH > VREF$ となり、高電圧側比較回路16によって高電圧側検出信号OUTHは活性状態となる。そのため、動作制御回路40は低電圧側電源分圧回路13と低電圧側比較回路15とへの電源供給を阻止して、これら回路の動作を停止させる。このため、低電圧側比較回路15の出力信号は非活性状態となるが、OR論理回路20には、高電圧側比較回路16からの活性信号が入力されるので、低電圧側検出信号OUTLは活性状態となる。このとき、高電圧側電源検出回路11の基準電圧回路12、高電圧側電源分圧回路14、高電圧側比較回路16のみで電流が消費され、低電圧側電源検出回路10の低電圧側電源分圧回路13

及び低電圧側比較回路 1 5 は動作が停止しているので、それらの消費電流は削減される。

【 0 0 7 2 】

従って、例えば、演算処理装置をはじめとする回路を動作させるシステムでは、2 値電源電圧検出回路の出力信号が低電圧側検出信号 O U T L 及び高電圧側検出信号 O U T H 共に活性化されているときに限ってシステムを動作させることとする場合には、消費電流は高電圧側電源検出回路 1 1 の基準電圧回路 1 2、高電圧側電源分圧回路 1 4 及び高電圧側比較回路 1 6 の消費電流のみとなるので、消費電流が削減される。

【 0 0 7 3 】

また、例えば、本実施の形態のように低電圧側及び高電圧側電源分圧回路 1 3、1 4 を抵抗で構成した場合、高電圧側検出信号 O U T H が活性化されたときには、低電圧側電源分圧回路 1 3 に流れる電流が動作制御回路 4 0 でカットされるので、そこで生じた電力の余裕により、低電圧側電源分圧回路 1 3 には、常時動作を行なう高電圧側電源分圧回路 1 4 のトータル抵抗値に比べて小さい抵抗値を用いることができる。これにより、抵抗素子の小型化を図ることができてレイアウト面積を削減でき、2 値電源電圧検出回路全体のレイアウト面積も小さくすることができる。

【 0 0 7 4 】

(第 8 の実施の形態)

更に、本発明の第 8 の実施の形態を説明する。

【 0 0 7 5 】

図 8 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 2、6、7 及び 9 に対応している。

【 0 0 7 6 】

本実施の形態では、第 7 の実施の形態に示した図 7 における動作制御回路 4 0 が具体的にスイッチ 2 1 で構成される。このスイッチ 2 1 は、高電圧側検出信号 O U T H が非活性状態のときにオンし、活性状態のときにはオフする。

【 0 0 7 7 】

従って、本実施の形態の発明における 2 値電源電圧検出回路の動作は、先ず、電源 1 0 0 が高電圧側設定値 V_{REFH} より低い場合には、高電圧側検出信号 $OUTH$ が非活性状態であるためにスイッチ 2 1 がオンし、第 7 の実施の形態における説明と同様に 2 値電源電圧検出回路が動作する。すなわち、このとき、基準電圧回路 1 2、2 つの電源分圧回路 1 3、1 4、2 つの比較回路 1 5、1 6 の回路で電流が消費されている。

【 0 0 7 8 】

次に、電源 1 0 0 が高電圧側設定値 V_{REFH} より高くなると高電圧側検出信号 $OUTH$ が活性化され、スイッチ 2 1 がオフされる。これにより、低電圧側電源分圧回路 1 3 と低電圧側比較回路 1 5 の消費電流はカットされる。また、 OR 論理回路 2 0 には高電圧側比較回路 1 6 から活性信号が入力されるので低電圧側検出信号 $OUTL$ は活性信号となる。従って、2 値電源電圧検出回路の機能を維持しながらも、低電圧側電源分圧回路 1 3 と低電圧側比較回路 1 5 の消費電流を削減できる。

【 0 0 7 9 】

さらに、上記のスイッチ 2 1 を低電圧側電源分圧回路 1 3 及び低電圧側比較回路 1 5 とグランド電源との間に挿入し、高電圧側検出信号 $OUTH$ が活性化されたときに低電圧側電源分圧回路 1 3 と低電圧側比較回路 1 5 へのグランド電源供給をカットする請求項 5 及び請求項 8 に対応した構成も可能である。

【 0 0 8 0 】

(第 9 の実施の形態)

また、本発明の第 9 の実施の形態を説明する。

【 0 0 8 1 】

図 9 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 3、6 及び 9 に対応している。

【 0 0 8 2 】

本実施の形態では、第 7 の実施の形態に示した図 7 において OR 論理回路 2 0 により構成していた出力固定回路 3 0 を、電源 1 0 0 と低電圧側電源検出回路 1 0 の信号出力側との間に直列に挿入した抵抗とスイッチ 2 3 とによる構成として

示した。

【 0 0 8 3 】

ここで、本実施の形態における出力固定回路 3 0 は、高電圧側電源検出回路 1 1 の高電圧側検出信号 O U T H が活性化されたときにスイッチ 2 3 がオンする機構である。従って、高電圧側検出信号 O U T H が活性状態のとき、低電圧側検出信号 O U T L のレベルはプルアップにより電源 1 0 0 の電圧 V D D へ固定される。

【 0 0 8 4 】

また、低電圧側電源検出回路 1 0 と高電圧側電源検出回路 1 1 との構成及び動作は第 7 の実施の形態と同じである。従って、電源 1 0 0 の電圧値 V D D が高電圧側設定値 V R E F H よりも低い場合の回路駆動電流は低電圧側電源検出回路 1 0 及び高電圧側電源検出回路 1 1 の両回路で消費され、一方、電源 1 0 0 の電圧値 V D D が高電圧側設定値 V R E F H より高い場合には、高電圧側検出信号 O U T H の制御により低電圧側電源検出回路 1 0 の動作は停止され、消費電流は高電圧側電源検出回路 1 1 の消費電流のみとなる。

【 0 0 8 5 】

(第 1 0 の実施の形態)

続いて、本発明の第 1 0 の実施の形態を説明する。

【 0 0 8 6 】

図 1 0 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 3、6、7 及び 9 に対応している。

【 0 0 8 7 】

本実施の形態では、第 9 の実施の形態に示した図 9 において動作制御回路 4 0 が具体的にスイッチ 2 1 で構成される。このスイッチ 2 1 は、高電圧側検出信号 O U T H が非活性状態のときにのみオンする。

【 0 0 8 8 】

従って、本実施の形態における 2 値電源電圧検出回路の動作は、先ず、電源 1 0 0 が高電圧側設定値 V R E F H より低い場合には、高電圧側検出信号 O U T H が非活性状態であるのでスイッチ 2 1 がオンし、第 9 の実施の形態における説明

と同様に 2 値電源電圧検出回路が動作する。すなわち、このとき、基準電圧回路 1 2、2 つの電源分圧回路 1 3、1 4、2 つの比較回路 1 5、1 6 の回路で電流が消費されている。

【0089】

次に、電源 1 0 0 が高電圧側設定値 V_{REFH} より高くなると高電圧側検出信号 $OUTH$ が活性化され、スイッチ 2 1 がオフされる。このことによって、低電圧側電源分圧回路 1 3 と低電圧側比較回路 1 5 の消費電流はカットされる。

【0090】

また、高電圧側電源検出回路 1 1 から出力される高電圧側検出信号 $OUTH$ が活性化されているので、出力固定回路 3 0 におけるスイッチ 2 3 はオンし、低電圧側検出信号 $OUTL$ の電位は電源 1 0 0 の電圧 V_{DD} にプルアップされて活性状態となる。従って、2 値電源電圧検出回路の機能は維持しながらも、消費電流は高電圧側電源検出回路 1 1 の消費電流のみとなり、低電圧側電源検出回路 1 0 の消費電流分が削減される。

【0091】

(第 1 1 の実施の形態)

また、本発明の第 1 1 の実施の形態を説明する。

【0092】

図 1 1 は本実施の形態における 2 値電源電圧検出回路の回路図であり、請求項 6 及び 1 1 に対応している。

【0093】

本実施の形態では、第 7 の実施の形態に示した図 7 において、動作制御回路 4 0 が具体的に、低電圧側電源分圧回路 1 3 のグランド端子とグランド電源との間（すなわち、抵抗 1 3 c とグランド電源との間）に挿入されたスイッチ 2 4（第 3 のスイッチ）で構成される。このスイッチ 2 4 は、高電圧側検出信号 $OUTH$ が非活性状態のときにオンし、活性状態のときにはオフする。そして、第 7 の実施の形態において設けられていた出力固定回路 3 0 は削除され、低電圧側電源検出回路 1 0 における低電圧側比較回路 1 5 の出力信号がそのまま低電圧側検出信号 $OUTL$ となる構成である。

【 0 0 9 4 】

従って、本実施の形態における 2 値電源電圧検出回路の動作は、先ず、電源 100 が高電圧側設定値 V_{REFH} より低い場合には、高電圧側検出信号 $OUTH$ が非活性状態であるのでスイッチ 24 がオンし、第 7 の実施の形態における説明と同様に 2 値電源電圧検出回路が動作する。すなわち、このとき、基準電圧回路 12、2 つの電源分圧回路 13、14 及び 2 つの比較回路 15、16 の回路で電流が消費されている。

【 0 0 9 5 】

次に、電源 100 が高電圧側設定値 V_{REFH} より高くなると、高電圧側検出信号 $OUTH$ が活性化され、スイッチ 24 がオフされる。このことによって、低電圧側電源分圧回路 13 の消費電流はカットされる。その結果、低電圧側電源分圧回路 13 の分圧点は電源 100 の電圧 V_{DD} にプルアップされ、信号 V_{DL} のレベルは電源 100 の電圧 V_{DD} レベルと等しく且つ基準電圧回路 12 の基準電圧 V_{REF} より大きくなるので、低電圧側比較回路 15 の出力信号は活性化される。すなわち、低電圧側検出信号 $OUTL$ は活性信号となる。従って、2 値電源電圧検出回路の信号が低電圧側検出信号 $OUTL$ 、高電圧側検出信号 $OUTH$ とともに活性化されている場合には、例えば、演算処理装置をはじめとする回路を動作させるシステムでは、2 値電源電圧検出回路の機能を維持しながらも、システムが動作しているときに低電圧側電源分圧回路 13 の消費電流を削減できる。

【 0 0 9 6 】

以上のように、本実施の形態では、動作制御回路 40 であるスイッチ 24 を低電圧側電源分圧回路 13 のグランド端子とグランド電源との間に挿入することにより、スイッチ 24 がオフとなって低電圧側電源分圧回路 13 の消費電流をカットするとき、それと同時に、低電圧側電源分圧回路 13 の分圧点 13b が電源 100 の電圧 V_{DD} にプルアップして、低電圧側比較器 15 からの低電圧側検出信号 $OUTL$ は活性状態に固定される。すなわち、前述した位置に低電圧側電源検出回路 10 の動作を制御するスイッチ 24 を配置することにより、低電圧側電源検出回路 10 の有する回路を利用して、第 1 ～ 10 の実施の形態で述べた出力固定手段 30 と同様の機能を実現することができる。

【 0 0 9 7 】

従って、2値電源電圧検出回路の機能は維持しながらも、第1～10の実施の形態で用いたような独立の出力固定回路30は削除することができるので、回路のレイアウト面積を小さくすると共に消費電力も削減することが可能となる。

【 0 0 9 8 】

また、高電圧側検出信号OUTHが活性化されたときに低電圧側電源分圧回路13に流れる電流がスイッチ24でカットされるので、電力消費量に余裕が生じた分だけ、常時動作を行なう高電圧側電源分圧回路14のトータル抵抗値に比べて小さい抵抗値の抵抗を用いることができる。これにより抵抗素子のレイアウト面積が削減でき、電源検出回路全体のレイアウト面積も小さくすることができる。

【 0 0 9 9 】

更に、スイッチ24をNMOSトランジスタで構成すると、ソース電位がグランド電位になるので、ゲートーソース間電位が大きくとれ、スイッチ24のドレインーソース間抵抗が小さくなって、検出電圧の誤差を小さくできる。

【 0 1 0 0 】

【発明の効果】

以上説明したように、請求項1～8記載の発明によれば、高電圧側電源検出回路の出力信号が活性状態のとき、その活性信号により低電圧側電源検出回路の出力状態を活性状態に強制的に維持しながら、その電源検出動作を停止させたので、2値電源電圧検出回路の消費電流を削減することが可能である。

【 0 1 0 1 】

請求項9、10及び12記載の発明によれば、低電圧側電源分圧回路を構成する抵抗の抵抗値を高電圧側電源分圧回路に比べて小さく設定できるので、抵抗素子のレイアウト面積が削除でき、2値電源電圧検出回路全体のレイアウト面積を小さくすることができる。

【 0 1 0 2 】

請求項11記載の発明は、低電圧側電源検出出力固定手段を設けることなく、低電圧側電源検出回路の出力信号を活性状態に固定できるので、請求項1～8記

載の発明に比べて、より一層に 2 値電源電圧検出回路の小面積化及び低消費電力化を実現することができる。

【 0 1 0 3 】

請求項 1 3 記載の発明によれば、スイッチを NMOS トランジスタで構成して、検出電圧の誤差を小さくすることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 2】

本発明の第 2 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 3】

本発明の第 3 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 4】

本発明の第 4 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 5】

本発明の第 5 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 6】

本発明の第 6 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 7】

本発明の第 7 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 8】

本発明の第 8 の実施の形態における 2 値電源電圧検出回路の構成を示す図であ

る。

【図 9】

本発明の第 9 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 1 0】

本発明の第 1 0 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 1 1】

本発明の第 1 1 の実施の形態における 2 値電源電圧検出回路の構成を示す図である。

【図 1 2】

従来の 2 値電源電圧検出回路を示す図である。

【図 1 3】

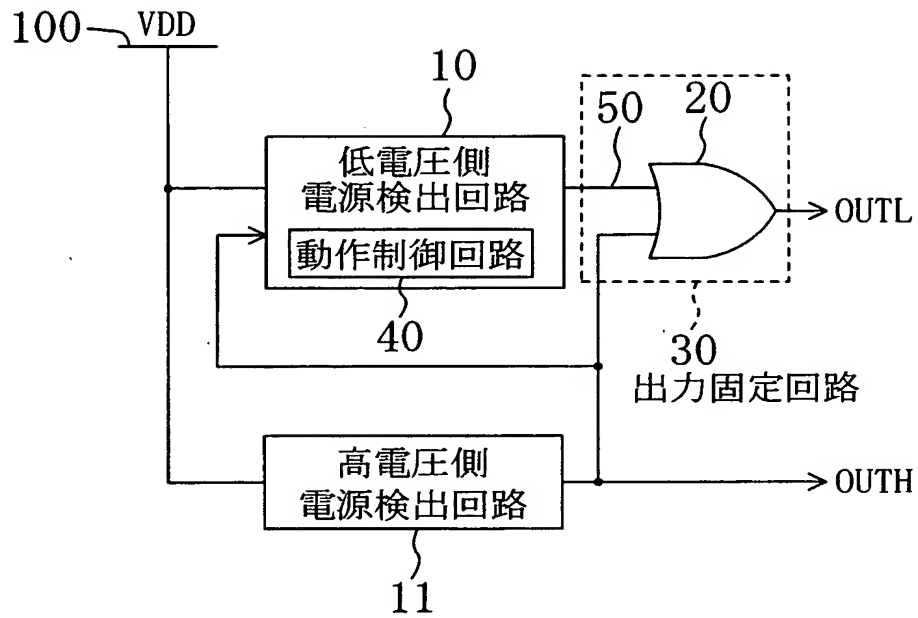
電源電圧に対する 2 値電源電圧検出結果を表した図である。

【符号の説明】

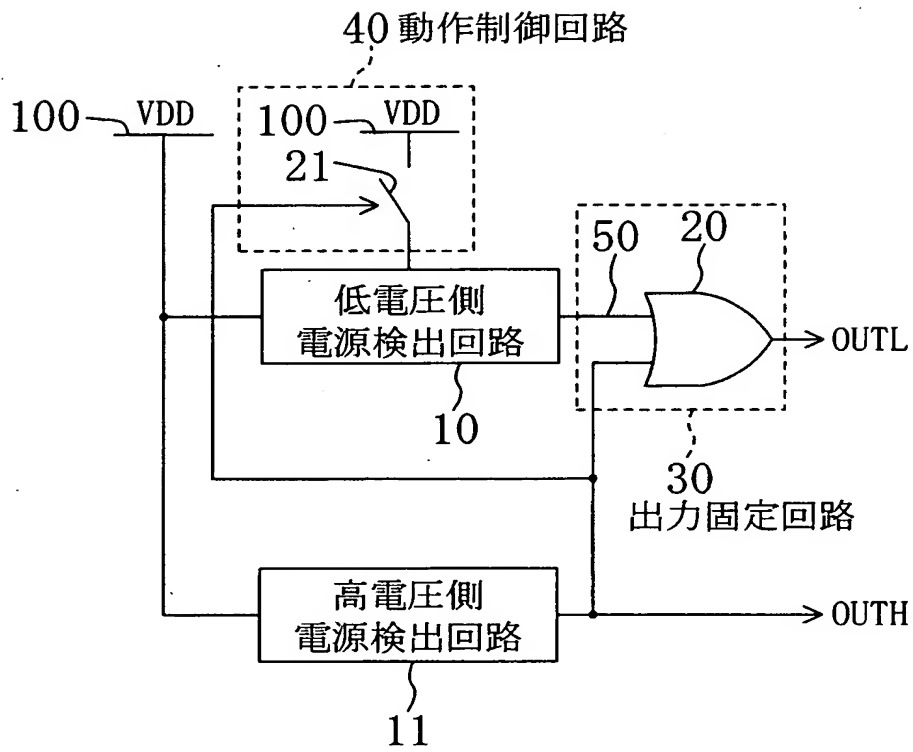
1 0	低電圧側電源検出回路
1 1	高電圧側電源検出回路
1 2	基準電圧回路
2 0	OR 論理回路（低電圧側電源検出出力固定手段）
2 1	スイッチ（第 2 のスイッチ）
2 2	プルアップ抵抗（低電圧側電源検出出力固定手段）
2 3	スイッチ（第 1 のスイッチ）
2 4	スイッチ（第 3 のスイッチ）
4 0	動作制御回路（検出動作制御手段）
5 0	低電圧側電源検出回路出力信号（第 1 の信号）
1 0 0	高電圧側電源
OUT L	低電圧側検出信号（第 3 の信号）
OUT H	高電圧側検出信号（第 2 の信号）

【書類名】 図面

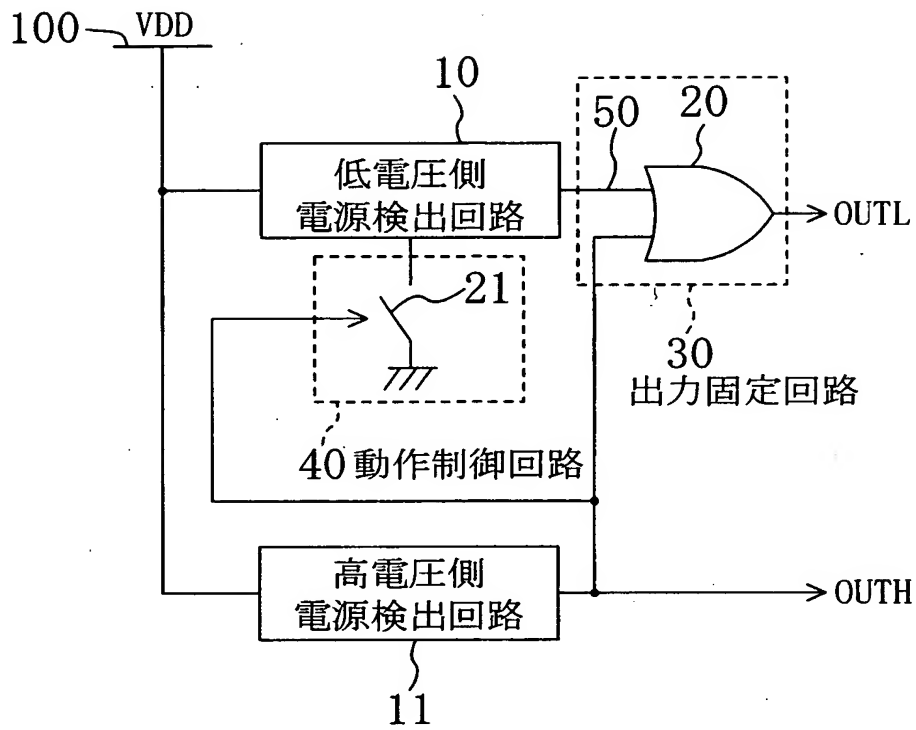
【図 1】



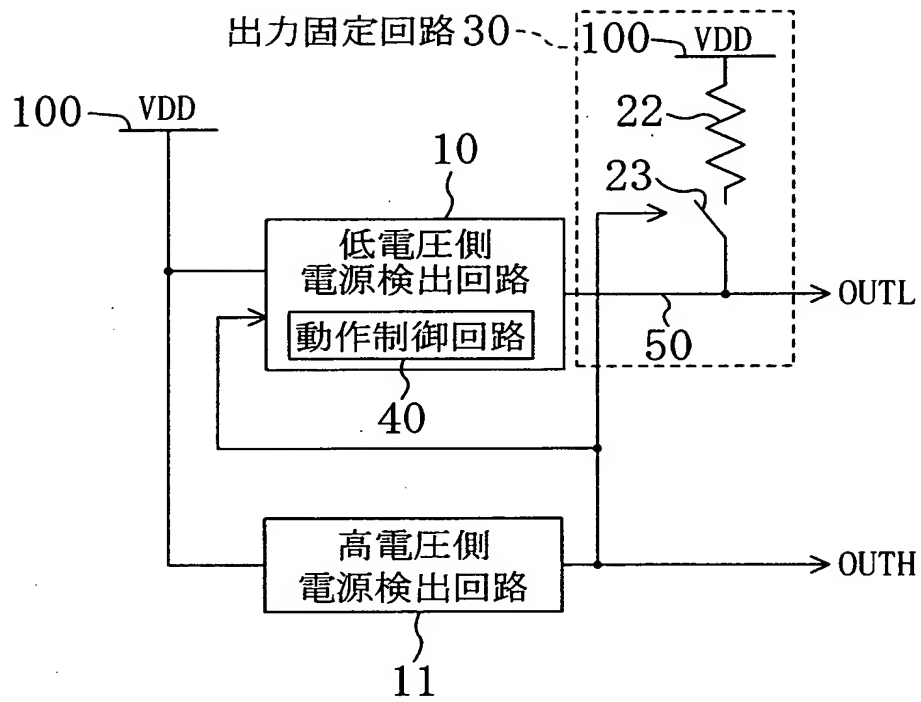
【図 2】



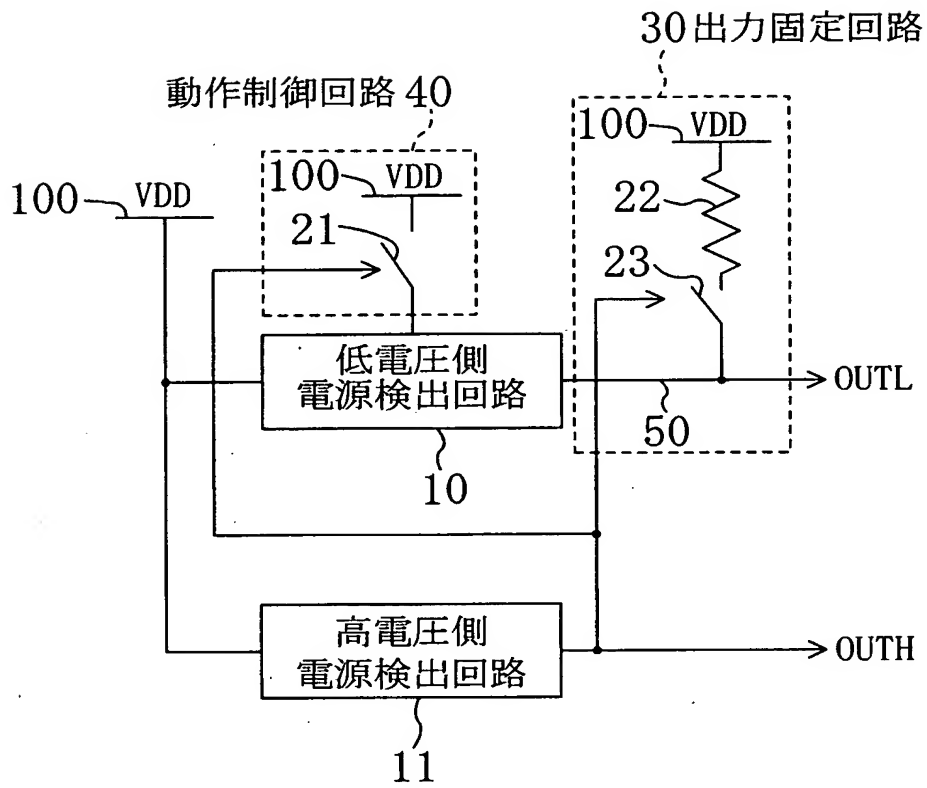
【図 3】



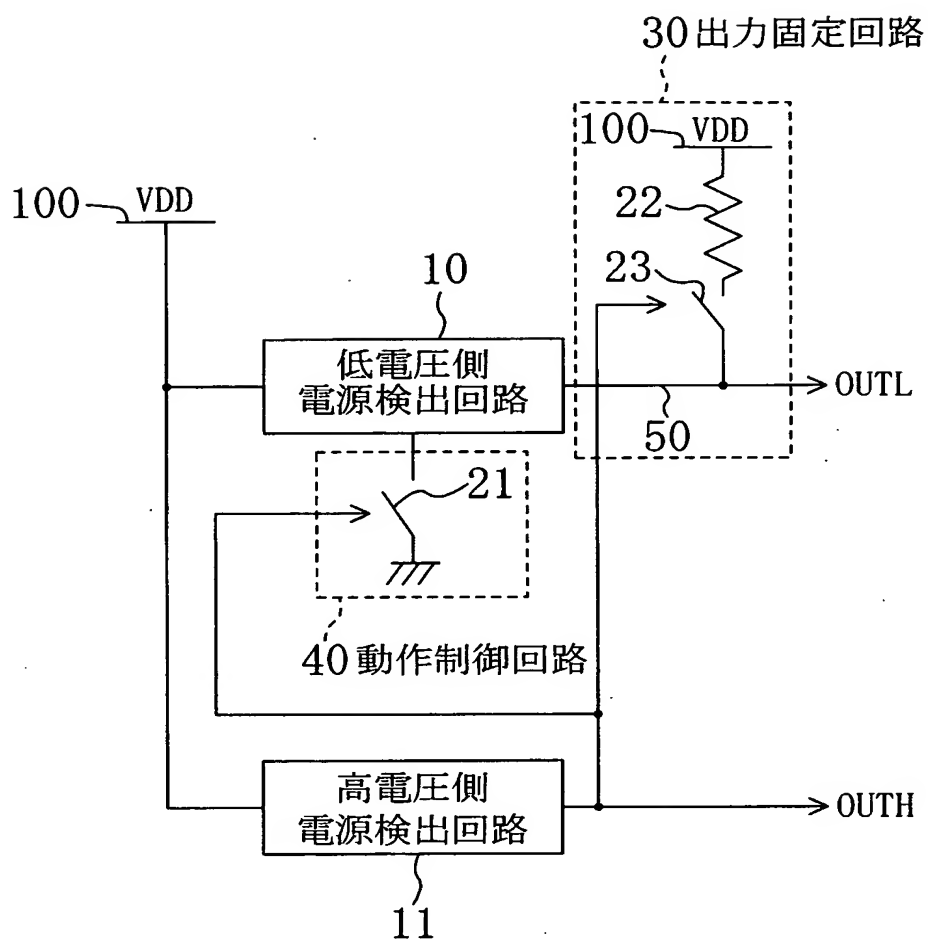
【図 4】



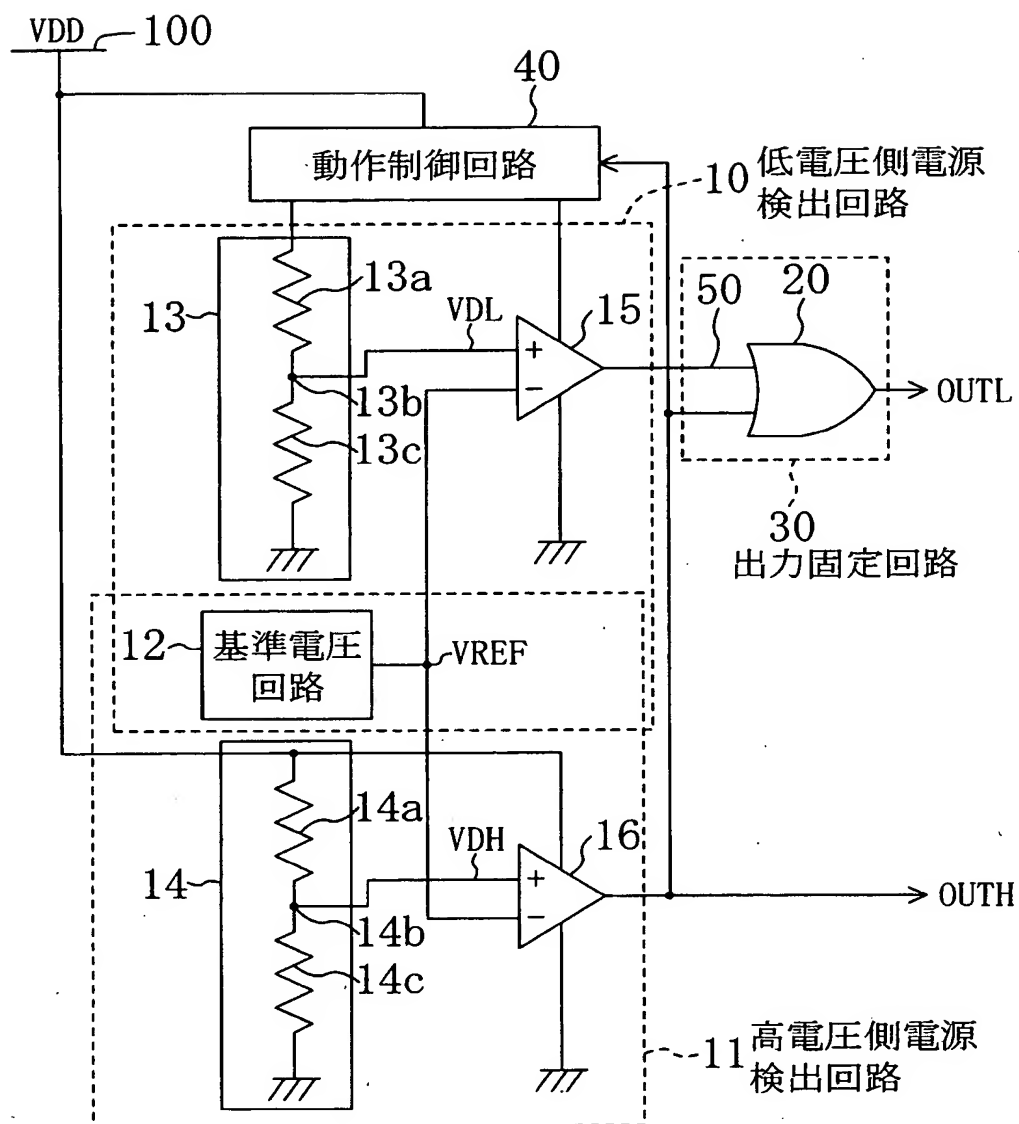
【図 5】



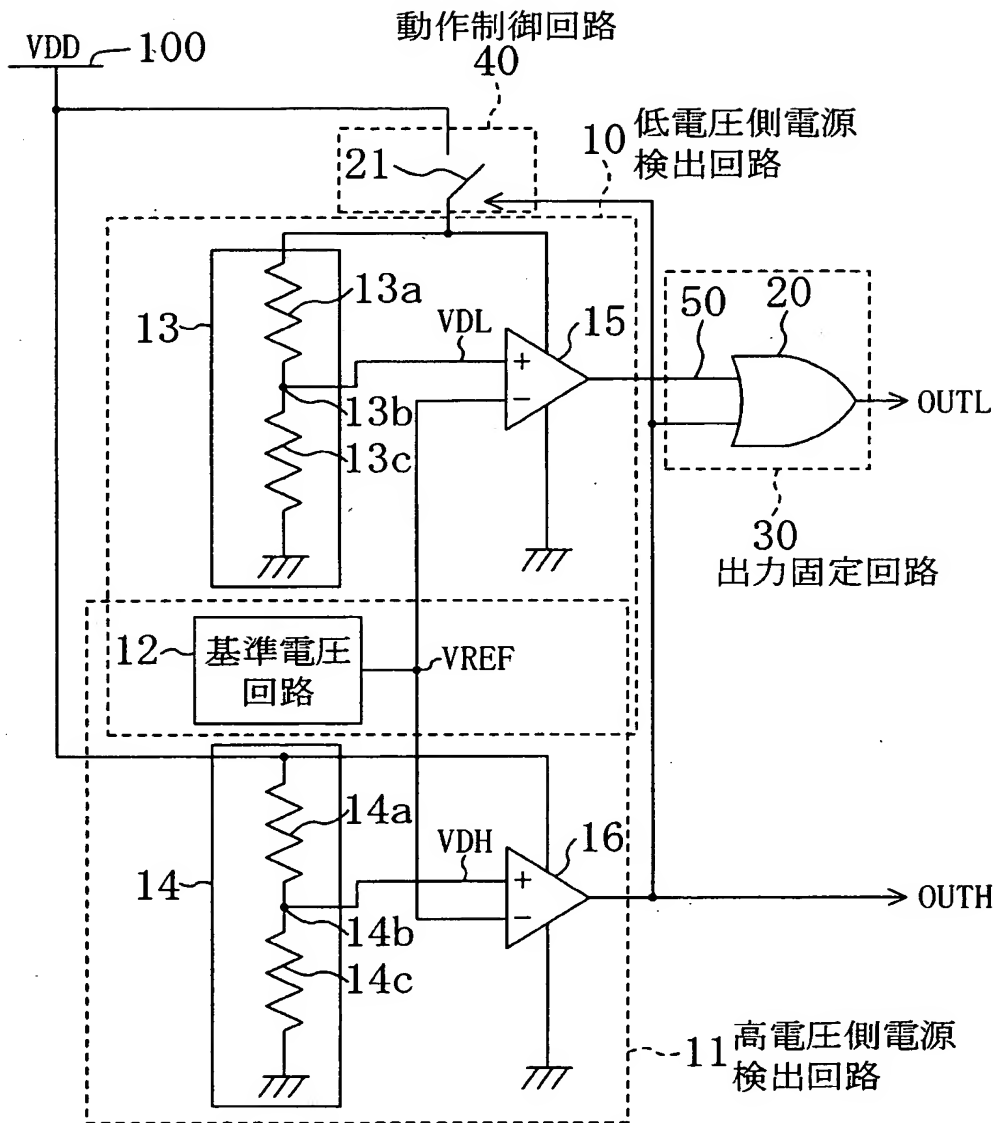
【図 6】



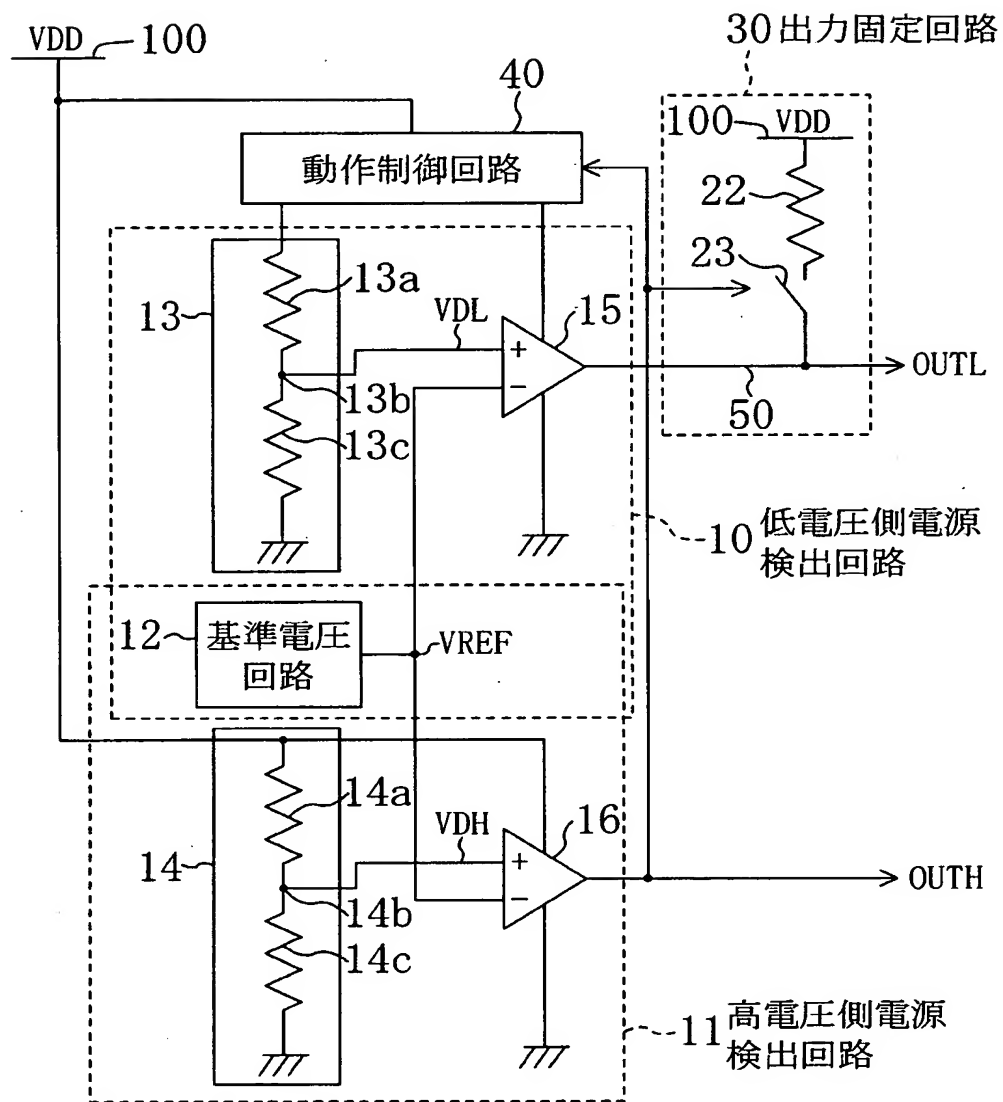
【図 7】



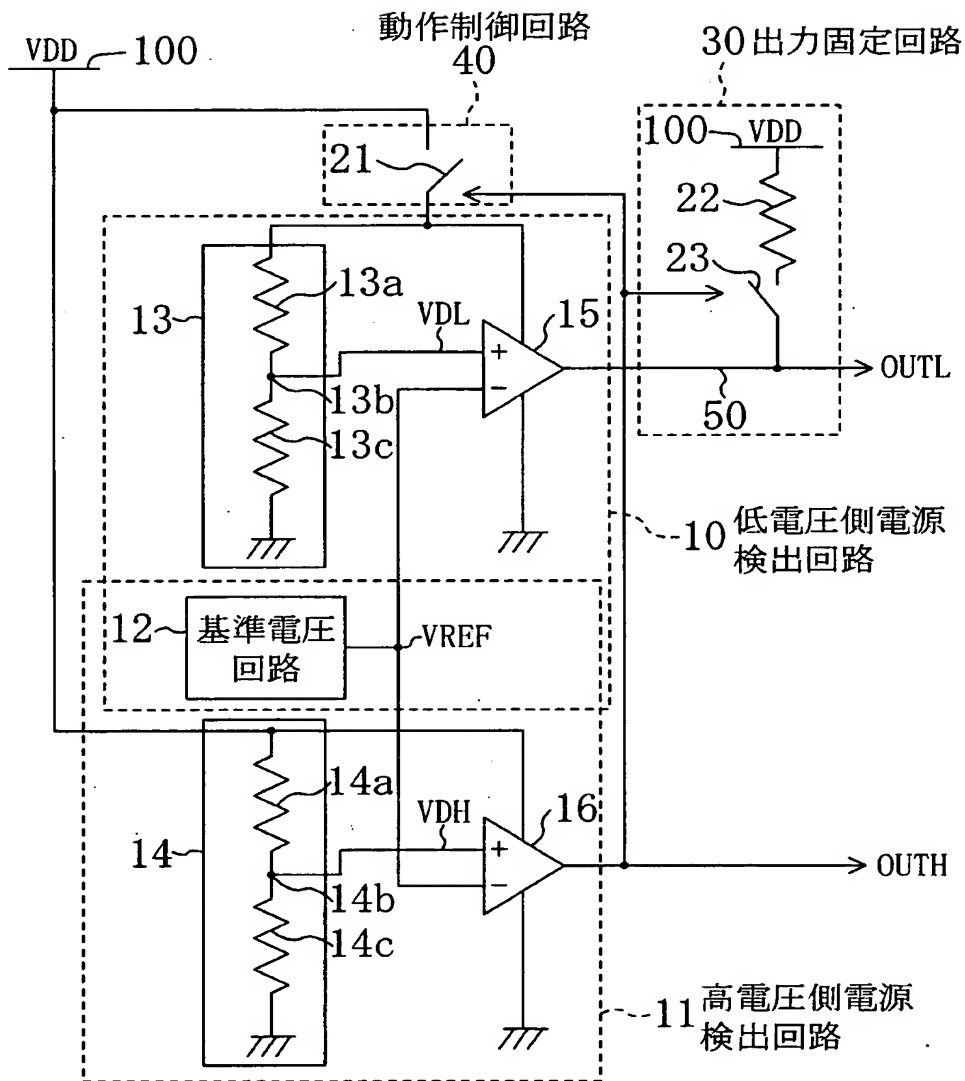
【図 8】



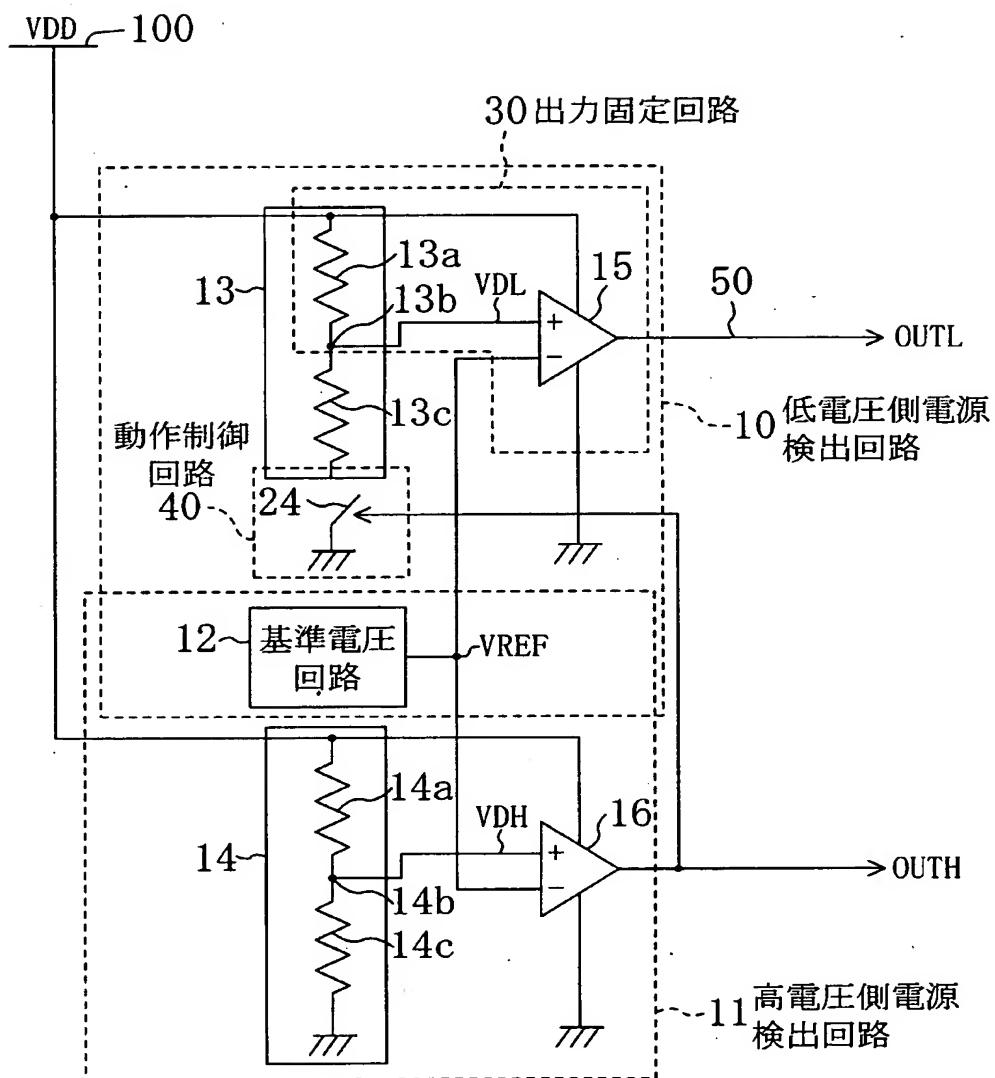
【図9】



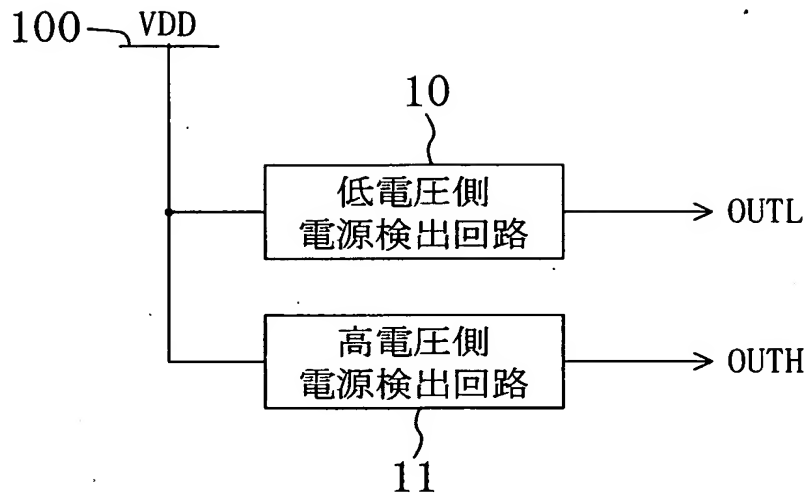
【図 1 0】



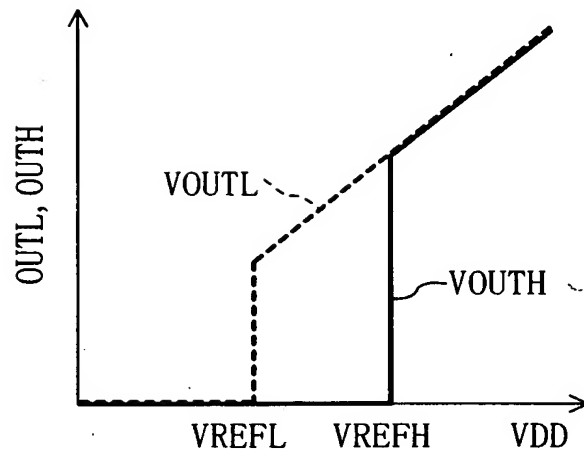
【図11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 1 電源に対して 2 値の電源電圧を検出する場合に、電源電圧検出回路を 2 個搭載して 2 倍消費していた電流を回路機能を維持したまま削減する。

【解決手段】

2 値電源電圧検出回路において高電位側の検出出力である高電圧側検出信号 OUTH は出力固定回路 30 を構成する OR 論理回路 20 に入力されると同時に、前記高電圧側検出信号 OUTH が活性信号となるときにのみオフ状態に制御される検出動作制御回路 40 におけるスイッチ 21 にも入力される。ここで、高電圧側検出信号 OUTH が活性化された場合、OR 論理回路 20 には少なくとも 1 つの活性信号が入力されることになり、その出力である低電圧側検出信号 OUTL は活性信号に固定される。また、スイッチ 21 は活性状態である高電圧側検出信号 OUTH の制御によりオフ状態となり、低電圧側電源検出回路 10 への供給電流はカットされる。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社